

**This Page Is Inserted by IFW Operations
and is not a part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- **BLACK BORDERS**
- **TEXT CUT OFF AT TOP, BOTTOM OR SIDES**
- **FADED TEXT**
- **ILLEGIBLE TEXT**
- **SKEWED/SLANTED IMAGES**
- **COLORED PHOTOS**
- **BLACK OR VERY BLACK AND WHITE DARK PHOTOS**
- **GRAY SCALE DOCUMENTS**

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 8 - 3 0 6 8 5 3

(43) 公開日 平成 8 年 (1996) 11 月 22 日

(51) Int. Cl.	識別記号	庁内整理番号	F I	技術表示箇所
H01L 23/50			H01L 23/50	S
21/60	311		21/60	Q
23/12			23/28	A
23/28			23/12	L

審査請求 未請求 請求項の数 17 O L (全 20 頁)

(21) 出願番号 特願平 7 - 1 1 0 3 8 0

(22) 出願日 平成 7 年 (1995) 5 月 9 日

(71) 出願人 0 0 0 0 0 5 2 2 3

富士通株式会社

神奈川県川崎市中原区上小田中 4 丁目 1 番
1 号

(72) 発明者 林田 勝大

神奈川県川崎市中原区上小田中 1 0 1 5 番
地 富士通株式会社内

(72) 発明者 佐藤 光孝

神奈川県川崎市中原区上小田中 1 0 1 5 番
地 富士通株式会社内

(74) 代理人 弁理士 伊東 忠彦

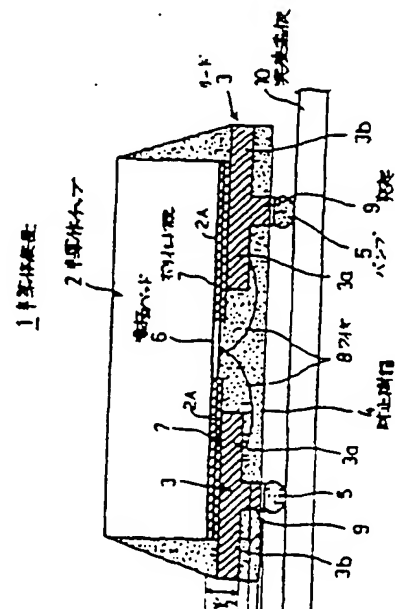
最終頁に続く

(54) 【発明の名称】 半導体装置及びその製造方法及びリードフレームの製造方法

(57) 【要約】

【目的】 本発明は半導体チップ及びリードを樹脂封止した構成を有した半導体装置及びその製造方法及び当該半導体装置に用いるリードフレームの製造方法に関し、半導体チップの信頼性を維持しつつ外部電極端子の保護、製品コストの低減及び生産効率の向上を図ることを目的とする。

【構成】 第 1 のピッチで電極パッド 6 が形成された半導体チップ 2 と、電極パッド 6 とワイヤ 8 を介して電気的に接続されるリード 3 と、半導体チップ 2 を封止する封止樹脂 4 とを具備する半導体装置において、前記リード 3 に外部接続端子となる突起 9 を上記第 1 のピッチと異なる第 2 のピッチで形成すると共に、前記封止樹脂 4 が電極パッド 6 とリード 3 との間に引き回されたワイヤ 8 を封止し、かつ前記突起 9 を露出させるよう配設したものである。



〔特許請求の範囲〕

〔請求項 1〕 第 1 のピッチにて形成された電極パッドが形成された半導体チップと、

前記電極パッドと配線を介して電氣的に接続されるリードと、

前記半導体チップを封止する封止樹脂とを具備する半導体装置において、

前記リードに外部接続端子となる突起を、上記第 1 のピッチと異なる第 2 のピッチで形成すると共に、

前記封止樹脂が前記電極パッドと前記リードとの間に引き回された配線を封止し、かつ前記突起を露出させるよう配設されることを特徴とする半導体装置、

〔請求項 2〕 第 1 のピッチにて形成された電極パッドが形成された半導体チップと、

前記電極パッドと配線を介して電氣的に接続されるリードと、

前記半導体チップを封止する封止樹脂とを具備する半導体装置において、

前記リードに外部接続端子となる突起を上記第 1 のピッチと異なる第 2 のピッチで形成すると共に、

前記半導体チップに形成された前記電極パッドの配設面を基準とし、前記配設面における前記封止樹脂の厚さが、前記配設面から前記突起までの高さ寸法以下で、かつ前記配設面から前記配線までの高さ寸法以上となるよう構成したことを特徴とする半導体装置、

〔請求項 3〕 請求項 1 または 2 記載の半導体装置において、

前記半導体チップと前記リードとをポリイミド膜を接着剤として接合したことを特徴とする半導体装置、

〔請求項 4〕 請求項 1 乃至 3 のいずれかに記載の半導体装置において、

前記突起を前記リードと一体的に形成したことを特徴とする半導体装置、

〔請求項 5〕 請求項 1 乃至 4 のいずれかに記載の半導体装置において、

前記配線としてワイヤを用いたことを特徴とする半導体装置、

〔請求項 6〕 請求項 1 乃至 5 のいずれかに記載の半導体装置において、

前記突起にバンプを形成したことを特徴とする半導体装置、

〔請求項 7〕 外部接続端子となる部位に突起が形成されてなるリードを形成するリード形成工程と、

前記リードまたは半導体チップの少なくとも一方にポリイミド膜を配設し、前記ポリイミド膜を介在させて前記リードと前記半導体チップを所定圧力で押圧し、かつ所定温度に加熱することにより、前記ポリイミド膜を接着剤として前記リードと前記半導体チップとを接合する接合工程とを具備することを特徴とする半導体装置の製造方法、

ードとを配線を引き回し接続することにより、前記電極パッドと前記リードとを電氣的に接続する接続工程と、前記配線及び前記半導体チップの所定範囲内または全部を封止すると共に、前記突起の少なくとも端面を露出するよう封止樹脂を配設する封止樹脂配設工程とを具備することを特徴とする半導体装置の製造方法、

〔請求項 8〕 請求項 7 記載の半導体装置の製造方法において、

前記接合工程でポリイミド膜により前記リードと前記半導体チップを接着する際、前記ポリイミド膜として両面に熱可塑性を有する接着剤を配設したものを用いたことを特徴とする半導体装置の製造方法、

〔請求項 9〕 請求項 7 または 8 記載の半導体装置の製造方法において、

前記接続工程で、前記電極パッドと前記リードとをダイレクトリードボンディング法により電氣的に接続したことを特徴とする半導体装置の製造方法、

〔請求項 10〕 インナーリード部とアウターリード部とを有した複数のリードが形成されたリードフレームにおいて、

前記アウターリード部のリードピッチに対して前記インナーリード部のリードピッチを小さく設定すると共に、前記アウターリード部に一体的に突起を形成したことを特徴とするリードフレーム、

〔請求項 11〕 請求項 10 記載のリードフレームにおいて、

前記アウターリード部のリードピッチ (P_{out}) と前記突起の形成位置における前記リードの厚さ (W) とが略等しく ($P_{out} \approx W$)、かつ前記インナーリード部のリードピッチ (P_{in}) が前記アウターリード部のリードピッチ (P_{out}) の略半分のピッチ ($P_{in} = P_{out} / 2$) であることを特徴とするリードフレーム、

〔請求項 12〕 請求項 10 または 11 記載のリードフレームの製造方法において、

基材に前記突起の形成位置にマスクを配設した上で、前記基材に対してハーフエッチングを行う第 1 のエッチング工程と、

前記第 1 のエッチング工程の終了後、前記リード形成位置にマスクを配設した上で、前記基材に対してエッチングを行いリードを形成する第 2 のエッチング工程とを具備することを特徴とするリードフレームの製造方法、

〔請求項 13〕 請求項 10 または 11 記載のリードフレームの製造方法において、

重ね合わせるにより前記突起の所定高さ寸法となるよう板厚が選定された第 1 の基材と第 2 の基材を用意し、

前記第 1 の基材に、平面視した際に前記リードの形状と対応するリードパターンを形成するリードパターン形成工程とを具備することを特徴とする半導体装置の製造方法、

置するよう突起パターンを形成する突起パターン形成工程と、

前記リードパターンが形成された前記第 1 の基材と、前記突起パターンが形成された前記第 2 の基材を重ね合わせ、前記突起の形成位置において前記リードパターンと前記突起パターンが積層されるよう前記第 1 の基材と前記第 2 の基材とを接合する接合工程と、

前記第 1 の基材及び第 2 の基材の不要部分を除去する除去工程とを具備することを特徴とするリードフレームの製造方法。

【請求項 14】 請求項 10 または 11 記載のリードフレームの製造方法において、

基材に、平面視した際に前記リードの形状となるようリードパターンを形成するリードパターン形成工程と、

前記リードパターン形成工程後、形成されたリードパターンの所定位置に前記突起を形成する突起形成工程とを具備することを特徴とするリードフレームの製造方法。

【請求項 15】 請求項 14 記載のリードフレームの製造方法において、

前記突起形成工程は、前記リードパターンの所定位置にバンパを単数個又は複数個重ねることにより前記突起を形成したことを特徴とするリードフレームの製造方法。

【請求項 16】 請求項 14 記載のリードフレームの製造方法において、

前記突起形成工程は、前記リードパターンの所定位置に導電性部材を配設することにより前記突起を形成したことを特徴とするリードフレームの製造方法。

【請求項 17】 請求項 14 記載のリードフレームの製造方法において、

前記突起形成工程は、前記リードパターンの所定位置を塑性加工することにより前記突起を形成したことを特徴とするリードフレームの製造方法。

【発明の詳細な説明】

（0001）

【産業上の利用分野】 本発明は半導体装置及びその製造方法及びリードフレームの製造方法に係り、特に半導体チップ及びリードを樹脂封止した構成を有した半導体装置及びその製造方法及び当該半導体装置に用いるリードフレームの製造方法に関する。

（0002） 近年、電子機器のダウンサイジング化に伴い、半導体装置の高密度化及び半導体装置の高密度実装化が図られている。一方で、電子機器の信頼性の向上も望まれており、これに伴い半導体装置の信頼性も向上させる必要がある。更に、半導体装置は製品コストの低減も望まれている。

（0003） よって、上記した各要求を満足しうる半導体装置が望まれている。

チップ方式の実装構造が知られており、マルチ・チップ・モジュール（MCM）において広く用いられている。この MCM で用いるフリップチップ実装は、樹脂封止をしていない半導体チップ（ペアチップ）の電極パッドにバンパを形成しておき、このペアチップを基板（マザーボード）に形成された電極部にフェースダウンボンディングすることにより実装する構成とされている。

（0005） 上記のフリップチップ方式の実装構造を用いることにより、高密度に半導体装置をマザーボードに配設することが可能となり、またペアチップに直接形成されたバンパを用いてマザーボードに電気的に接続されるため、電気的特性を向上させることができる。

（0006）

【発明が解決しようとする課題】 しかるに、樹脂封止がされていないペアチップは、耐熱性、機械的強度、及び耐湿性が低いという問題点がある。また、ペアチップに形成されている電極パッドに直接バンパが形成され外部接続端子を形成するため、ペアチップに形成されているマザーボードのレイアウトがそのまま外部接続端子（バンパ）のレイアウトとなってしまう。

（0007） 一般に半導体チップの電極パッドのレイアウトは半導体製造メーカー毎に異なっており、従って同一機能を有する半導体装置であっても、ユーザー側で半導体装置の種類（製造メーカー）に対応するようマザーボードの配線パターンを設計する必要がある。このように、従来のペアチップを用いた実装構造では、半導体装置の外部電極端子の標準化がされていないことにより、半導体装置とマザーボードとのマッチング性に欠け、ユーザー側の負担が重くなるという問題点があった。

（0008） また、これを解決するためにチップ表面にプロセス処理を行い、配線を引き回すことにより標準化を図ることが考えられるが、この構成では配線の引き回しに高精度を有する多くの工程を必要とし、製品コストの上昇及び生産効率の低下を招いてしまうという問題点があった。

（0009） 本発明は上記の点に鑑みてなされたものであり、半導体チップの信頼性を維持しつつ外部電極端子の標準化、製品コストの低減及び生産効率の向上を図りうる半導体装置及びその製造方法及びリードフレームの製造方法を提供することを目的とする。

（0010）

【課題を解決するための手段】 上記の課題は下記の各手段を講ずることにより解決することができる。請求項 1 記載の発明では、第 1 のピッチにて形成された電極パッドが形成された半導体チップと、前記電極パッドと配線を介して電気的に接続されるリードと、前記半導体チップを封止する封止樹脂とを具備する半導体装置におい

された配線を封止し、かつ前記突起を露出させるよう配設されることを特徴とするものである。

【0011】また、請求項2記載の発明では、第1のピッチにて形成された電極パッドが形成された半導体チップと、前記電極パッドと配線を介して電気的に接続されるリードと、前記半導体チップを封止する封止樹脂とを具備する半導体装置において、前記リードに外部接続端子となる突起を上記第1のピッチと異なる第2のピッチで形成すると共に、前記半導体チップに形成された前記電極パッドの配設面を基準とし、前記配設面における前記封止樹脂の厚さが、前記配設面から前記突起までの高さ寸法以下で、かつ前記配設面から前記配線までの高さ寸法以上となるよう構成したことを特徴とするものである。

【0012】また、請求項3記載の発明では、前記請求項1または2記載の半導体装置において、前記半導体チップと前記リードとをポリイミド膜を接着剤として接合したことを特徴とするものである。

【0013】また、請求項4記載の発明では、前記請求項1乃至3のいずれかに記載の半導体装置において、前記突起を前記リードと一体的に形成したことを特徴とするものである。また、請求項5記載の発明では、前記請求項1乃至4のいずれかに記載の半導体装置において、前記配線としてワイヤを用いたことを特徴とするものである。

【0014】また、請求項6記載の発明では、前記請求項1乃至5のいずれかに記載の半導体装置において、前記突起にバンプを形成したことを特徴とするものである。また、請求項7記載の発明では、半導体装置の製造方法において、外部接続端子となる部位に突起が形成されてなるリードを形成するリード形成工程と、前記リードまたは半導体チップの少なくとも一方にポリイミド膜を配設し、前記ポリイミド膜を介させて前記リードと前記半導体チップを所定押圧力で押圧しかつ所定温度に加熱することにより、前記ポリイミド膜を接着剤として前記リードと前記半導体チップとを接合する接合工程と、前記半導体チップに形成されている電極パッドと前記リードとを配線を引き回し接続することにより、前記電極パッドと前記リードとを電気的に接続する接続工程と、前記配線及び前記半導体チップの所定範囲内または全面を封止すると共に、前記突起の少なくとも露出面を露出するよう封止樹脂を配設する封止樹脂配設工程とを具備することを特徴とするものである。

【0015】また、請求項8記載の発明では、前記請求項7記載の半導体装置の製造方法において、前記接合工程でポリイミド膜により前記リードと前記半導体チップを接合する際、前記ポリイミド膜として両面に熱可塑性を有する接着剤を配設したものをを用いたことを特徴とする

項7または8に記載の半導体装置の製造方法において、前記接続工程で、前記電極パッドと前記リードとをダイレクトリードボンディング法により電気的に接続したことを特徴とするものである。

【0017】また、請求項10記載の発明では、インナーリード部とアウターリード部とを有した複数のリードが形成されたリードフレームにおいて、前記アウターリード部のリードピッチに対して前記インナーリード部のリードピッチを小さく設定すると共に、前記アウターリード部に一体的に突起を形成したことを特徴とするものである。

【0018】また、請求項11記載の発明では、前記請求項10記載のリードフレームにおいて、前記アウターリード部のリードピッチ(P_{out})と前記突起の形成位置における前記リードの厚さ(W)とが略等しく($P_{out} \approx W$)、かつ前記インナーリード部のリードピッチ(P_{in})が前記アウターリード部のリードピッチ(P_{out})の略半分のピッチ($P_{in} = P_{out} / 2$)であることを特徴とするものである。また、請求項12記載の発明では、前記請求項10または11記載のリードフレームの製造方法において、基材に前記突起の形成位置にマスクを配設した上で、前記基材に対してハーフエッチングを行う第1のエッチング工程と、前記第1のエッチング工程の終了後、前記リード形成位置にマスクを配設した上で、前記基材に対してエッチングを行いリードを形成する第2のエッチング工程とを具備することを特徴とするものである。

【0019】また、請求項13記載の発明では、前記請求項10または11記載のリードフレームの製造方法において、重ね合わせることにより前記突起の所定高さ寸法となるよう板厚が選定された第1の基材と第2の基材を用い、前記第1の基材に、平面視した際に前記リードの形状となるようリードパターンを形成するリードパターン形成工程と、前記第2の基材に、少なくとも前記突起の形成位置に位置するよう突起パターンを形成する突起パターン形成工程と、前記リードパターンが形成された前記第1の基材と、前記突起パターンが形成された前記第2の基材を重ね合わせ、前記突起の形成位置において前記リードパターンと前記突起パターンが積層されるよう前記第1の基材と前記第2の基材とを接合する接合工程と、前記第1の基材及び第2の基材の不要部分を除去する除去工程とを具備することを特徴とするものである。

【0020】また、請求項14記載の発明では、前記請求項10または11記載のリードフレームの製造方法において、基材に、平面視した際に前記リードの形状となるようリードパターンを形成するリードパターン形成工

【0021】また、請求項15記載の発明では、前記請求項14記載のリードフレームの製造方法において、前記突起形成工程は、前記リードパターンの所定位置にパンプを単数或いは複数積み重ねることにより前記突起を形成したことを特徴とするものである。

【0022】また、請求項16記載の発明では、前記請求項14記載のリードフレームの製造方法において、前記突起形成工程は、前記リードパターンの所定位置に導電性部材を配設することにより前記突起を形成したことを特徴とするものである。

【0023】更に、請求項17記載の発明では、前記請求項14記載のリードフレームの製造方法において、前記突起形成工程は、前記リードパターンの所定位置を塑性加工することにより前記突起を形成したことを特徴とするものである。

【0024】

【作用】上記した各手段は、下記のように作用する。請求項1及び請求項2記載の発明によれば、半導体チップは封止樹脂により封止されるため、耐熱性、機械的強度及び耐湿性を向上させることができる。また、電極パッドをリード及び配線を用いて引き回すことができるため、リードのレイアウトを電極パッドのレイアウトに拘わらず設定することが可能となり、実装基板とのマッチング性を向上させることができる。また、封止樹脂は引き回された配線を確実に保護するためこれによっても信頼性を向上させることができ、また外部接続端子は封止樹脂から露出しているため実装基板との電気的接続を確実に行うことができる。

【0025】また、請求項3記載の発明によれば、通常半導体チップとリードとの絶縁材として配設されるポリイミド膜を接着剤として用いるため、半導体チップとリードの絶縁と接合を一括的に行うことができる。よって、絶縁材と接着剤とを別個に配設する構成に比べて構造の簡単化及び製造の容易化を図ることができる。

【0026】また、請求項4記載の発明によれば、突起をリードと一体的に形成したことにより、突起とリードを別個の材料により構成する場合に比べて構造の簡単化を図ることができる。また、請求項5記載の発明によれば、配線としてワイヤを用いたことにより、前記した電極パッドとリードとの間における配線の引き回しを容易に行うことができる。

【0027】また、請求項6記載の発明によれば、突起にパンプを形成したことにより、突起を直接実装基板に実装する構成に比べて、半導体装置の実装基板への接続を容易に行うことができる。また、請求項7記載の発明によれば、接合工程においてポリイミド膜を所定温度かつ所定圧力下に置くことにより接着剤化させ、これに

【0028】また、接合工程では半導体チップに形成されている電極パッドと前記リードとを配線を引き回し接続するため、この引き回しを適宜設定することにより、電極パッドのレイアウトに対してリードのレイアウトを変更することが可能となる。また、半導体装置はリード形成工程、接合工程、接続工程及び封止樹脂配設工程の4工程のみで製造される。このように少ない工程で半導体装置が製造されるため、生産効率を向上させることができる。

10 【0029】また、請求項8記載の発明によれば、ポリイミド膜として両面に熱可塑性を有する接着剤を配設したものをを用いることにより、ポリイミド膜に印加する温度等を所定範囲内に制御することなく接合処理を行うことが可能となるため、接合処理を容易に行うことができる。

【0030】また、請求項9記載の発明によれば、接続工程で、電極パッドとリードとをダイレクトリードボンディング法を用いて電気的に接続するため、簡単かつ確実に電極パッドとリードとの接続処理を行うことができる。また、請求項10及び請求項11記載の発明によれば、アウターリード部のリードピッチに対してインナーリード部のリードピッチが小さく設定されているため、インナーリード部が電気的に接続される半導体チップの電極パッドの配設ピッチが小さくてもこれに対応させることができ、かつ実装基板と電気的に接続されるアウターリード部のリードピッチは大きいため、実装基板への実装性を向上させることができる。また、突起がアウターリード部に形成されることにより、この突起を外部接続端子として用いることができ、これによっても実装性を向上させることができる。

30 【0031】また、請求項12記載の発明によれば、第1のエッチング工程において突起の形成位置にマスクを配設した上で基材に対してハーフエッチングを行うことにより、突起形成位置を除く部分の板厚を薄くし、更に第2のエッチング工程においてリード形成位置にマスクを配設した上で第1のエッチング工程が終了した基材に対してエッチングを行うことにより、突起が一体的に形成されたリードを形成することができる。

40 【0032】ここで、リードを形成する際にリードのピッチは基材の板厚により決定されてしまう。具体的には、リードのピッチは基材の板厚と略等しいピッチにしか形成することはできない。よって、薄い板厚を用いる程リードピッチを狭ピッチ化することができる。

【0033】ところが、突起が形成されるリードでは基材の板厚は突起の高さにより決まってしまう。突起の高さと等しい板厚を有する基材を単にエッチング処理したのでは狭ピッチのリードを形成することができない。しかるに、上記のように第1のエッチング工程において突

も狭ピッチのリード形成を行うことが可能となる。尚、上記説明から明らかなように、突起の配設ピッチは基材の板厚と略等しいピッチまで狭ピッチ化することができる。

〔0034〕また、請求項13記載の発明によれば、第1の基材及び第2の基材は重ね合わせることにより突起の所定高さ寸法となるよう板厚が選定されているため、各基材の板厚は突起の高さ寸法より小さな厚さとされている。リードパターン形成工程では、この板厚の薄い第1の基材に対してリードの形状となるようリードパターンを形成するため、先に説明した板厚とリードピッチの関係により、形成されるリードパターンのリードピッチを狭ピッチ化することができる。

〔0035〕また、突起パターン形成工程において第2の基材に少なくとも前記突起の形成位置に位置するよう突起パターンを形成し、接合工程において上記第1の基材と第2の基材を重ね合わせ接合することにより、突起の形成位置においてリードパターンと突起パターンが積層され、この位置における板厚は突起の所定高さとなる。続く除去工程では不要部分が除去されリードが形成される。

〔0036〕従って、上記のようにリードパターンの形成時には板厚は薄いためリードピッチを狭ピッチ化することができ、また突起形成位置においてはリードパターンと突起パターンが積層されることにより所定高さの突起を形成することができる。また、請求項14記載の発明によれば、リードパターンを形成するリードパターン形成工程と、突起を形成する突起形成工程とを別個に行うことにより、基材の厚さを突起の高さに拘わらず選定することができ、よって薄い基材を用いることによりリードパターンの狭ピッチ化を図ることができる。また、突起形成工程においては、任意の高さを有する突起を形成することが可能となり、設計の自由度を向上させることができる。

〔0037〕更に、請求項15乃至17記載の発明によれば、突起形成工程において突起の形成を容易に行うことができる。

〔0038〕

〔実施例〕次に本発明の実施例について図面と共に説明する。図1及び図2は、本発明の一実施例である半導体装置1を示している。図1は半導体装置1の断面図であり、また図2は半導体装置1を底面図である。

〔0039〕各図に示されるように、半導体装置1は大略すると半導体チップ2、複数のリード3、封止樹脂4、及びパンプ5等により構成されている。半導体チップ2は、底面の中央位置に複数の電極パッド6が一列に配設されている。また、複数のリード3は、素子インナ

〔0040〕このポリイミド膜7は、半導体チップ2の上面に形成された回路面2Aとリード3とを電気的に絶縁する絶縁部材として機能すると共に、後述するようにポリイミド膜7は半導体チップ2とリード3とを接合する接着剤として機能している。このように、ポリイミド膜7に絶縁部材と接着剤の双方の機能を果たせることにより、絶縁材と接着剤とを別個に配設する構成に比べ、半導体装置1の構造の簡単化及び製造の容易化を図ることができ。

10 〔0041〕また、インナーリード部3aと半導体チップ2に形成された電極パッド6との間にはワイヤ8が配設されており、このワイヤ8を介して半導体チップ2とリード3は電気的に接続された構成とされている。更に、各リード3に設けられたアウターリード部3bの所定位置には、外部接続端子となる突起9が一体的に形成されている。上記構成とされたリード3は、各図に示されるようにその大部分が半導体チップ2の底面上に配設された構成の、いわゆるリード・オン・チップ（LOC）構造となっており、半導体装置1の小型化が図られている。

〔0042〕また、封止樹脂4は例えばエポキシ樹脂よりなり、後述するようにモールドディングにより形成されている。この封止樹脂4は、半導体チップ2の底面及び側面の所定範囲に配設されている。しかるに本実施例では、半導体チップ2の上面においては、放熱性を向上させる面より封止樹脂4は配設されていない構成とされている。

〔0043〕上記封止樹脂4は、半導体チップ2の電極パッド6の配設面（底面）を基準とし、この底面からの厚さ（図中、矢印Hで示す）が、底面から突起9の先端までの高さ寸法（図中、矢印Wで示す）以下で、かつ底面からワイヤ8のループ最上端までの高さ寸法（図中、矢印hで示す）以上となるよう構成されている（ $h \leq H \leq W$ ）。この構成とすることにより、突起9の少なくとも先端部9aは確実に封止樹脂4から露出し、またワイヤ8及び突起9の露出部分を除くリード3は封止樹脂4に封止された構成となる。

〔0044〕このように、本実施例の半導体装置1は、半導体チップ2の所定範囲（上面を除く部位）を封止樹脂4で封止された構成となるため、耐熱性、機械的強度及び耐湿性を向上させることができる。また、封止樹脂4はワイヤ8を確実に保護するため、これによっても半導体装置1の信頼性を向上させることができ、更に外部接続端子となる突起9の少なくとも先端部9aは確実に封止樹脂4から露出するため、実装基板10との電気的接続を確実に行うことができる。

〔0045〕ここで、図2を用いて半導体チップ2の底

ている。同図に示されるように、リード3は隣接するインナーリード部3aのリードピッチ(図中、矢印P...で示す)が隣接するアウターリード部3bのリードピッチ(図中、矢印P...で示す)よりも小さくなるよう形成されている。具体的には、インナーリード部3aのリードピッチP...はアウターリード部3bのリードピッチP...の略半分のピッチ($P... = P... / 2$)となるよう構成されている。また、後に詳述するように、アウターリード部3bのリードピッチP...は突起9の形成位置におけるリード3の厚さWとが略等しくなるよう構成されている(P... とW)。

[0046] 上記のように、アウターリード部3bのリードピッチP... に対してインナーリード部3aのリードピッチP... が小さく設定されることにより、インナーリード部3aが電氣的に接続される半導体チップ2の電極パッド6の配設ピッチが小さくてもこれに対応させることができ、かつ実装基板10と電氣的に接続されるアウターリード部3b(突起9)のリードピッチP... は大きいので、半導体装置1の実装基板10に対する実装性を向上させることができる。

[0047] 一方、本実施例に係る半導体装置1は、半導体チップ2に配設されている電極パッド6に直接バンパ5を形成し実装基板10に接続するのではなく、電極パッド6とインナーリード部3aとの間にワイヤ8を引き回した上でリード3を介して実装基板10に接続する構成とされている。従って、電極パッド6をリード3及びワイヤ8を用いて引き回すことができるため、リード3のレイアウトを電極パッド6のレイアウトに拘わらず設定することが可能となる。

[0048] 具体的には、図2に示す例では、半導体チップ2の中央に形成されている電極パッド6をワイヤ8及びリード3を用いて引き回し、外部接続端子となる突起9を半導体チップ2の外周位置に引き出している。また、図3に示されるように、電極パッド6が半導体チップ2の外周位置に形成されている場合には、本発明を用いて電極パッド6をワイヤ8及びリード3を用いて引き回すことにより、電極パッド6の形成位置より内側に外部接続端子となる突起9を形成することも可能である。更に、図4に示されるように、外部接続端子となる突起9を半導体チップ2の外側位置に配設することも可能となる。

[0049] このように、電極パッド6をリード3及びワイヤ8を用いて引き回すことが可能となることにより、実装基板10と半導体装置1とのマッチング性を向上させることができ、外部接続端子となる突起9のレイアウトを標準外部接続端子のレイアウトに容易に設定することができる。よって、半導体装置1を用いるユーザ側の負担を軽減することができる。

は、リード形成工程、接合工程、接続工程及び封止施設工程の基本となる4工程と、これに付随するバンパ形成工程、試験工程の2工程を行うことにより製造される。以下、各工程毎に説明するものとする。

[0051] 図5乃至図9はリード形成工程の第1実施例を示している。このリード形成工程は、リード3の基材となるリードフレーム11を形成するための工程である。リードフレーム11を形成するには、先ず図5に示されるような平板状の基材12を用意する。この基材12は、例えば4.2アロイ等のリードフレーム材料であり、またその板厚は形成しようとする突起9の高さ寸法Wと等しいものが選定されている。

[0052] 上記の基材12に対しては、先ず図6に示されるようにマスク13(製地で示す)が配設される。このマスク13は、所定の突起9の形成位置(図中、参照符号14で示す)及びクレドール形成位置(図中、参照符号15で示す)に配設される。

[0053] 上記のようにマスク13が配設されると、続いて基材12に対してハーフエッチング処理(第1のエッチング工程)が実施される。本実施例においては、ウェットエッチング法により基材12に対してハーフエッチング処理を行っている(ドライエッチング処理等の他のエッチング方法を用いることも可能である)。またエッチング時間は、エッチングにより浸食される部分(図6で白抜きで示される部分)の厚さが、基材12の板厚Wの半分の寸法($W/2$)となるよう設定されている。

[0054] このハーフエッチング処理が終了し、マスク13を取り除いた状態を図7に示す。この状態では、突起9の形成位置14及びクレドール形成位置15のみが元の基材12の厚さWを維持しており、他の部分(参照符号16で示す)はハーフエッチングによりその厚さ寸法は $W/2$ となっている。

[0055] 上記のようにハーフエッチング処理が終了する。続いて図8に示されるように所定のリード3の形成位置(参照符号18で示す)及びクレドール形成位置15にマスク17(製地で示す)を配設した上で、この基材12に対してエッチング処理を行う。

[0056] 上記のようにマスク17が配設されると、続いて基材12に対してエッチング処理(第2のエッチング工程)が実施され基材12のマスク17が配設された位置以外の部分を除去する。これにより、図9に示すリード3の所定形状を有した複数のリード3を具備するリードフレーム11が形成される。尚、必要に応じてこのリードフレーム11の所定部位(リード3の形成位置)にハンダ等を施してもよい。

[0057] このように形成されたリードフレーム11は、リード3がインナーリード部3a、アウターリード

ーリード部3a及び突起9の形成位置を除くアウターリード部3bの厚さ寸法は $W/2$ となっている。

【0058】ここで、リードピッチと基材12の板厚との関係について説明する。前記したように、リード3を形成する際にリード3のピッチは基材12の板厚により決定されてしまい、具体的にはリードピッチは基材12の板厚と略等しいピッチにしか形成することはできない。よって、基材12の板厚が薄い程リードピッチを狭くピッチ化することができる。

【0059】ところが、突起9が形成されるリード3では基材12の板厚は突起9の高さにより決まってしまう。突起9の高さと等しい板厚を有する基材12を単にエッチング処理したのでは狭ピッチのリードを形成することができない。しかるに、上記したように第1のエッチング工程においてハーフエッチング処理を実施することにより、突起形成位置14を除き基材12の板厚を薄くし(約 $W/2$ の板厚となるようにする)、更にこの薄くされた板厚を有する部分に第2のエッチング工程を実施してリード3を形成することにより、突起9を有するリード3であっても狭ピッチ(図1に示されるリードピッチ $P_{1..}$)のリード形成を行うことが可能となる。また、同様の理由により、突起9(アウターリード部3b)の配設ピッチ($P_{1..}$)は、基材12の板厚 W と略等しいピッチまで狭ピッチ化することが可能となる。

【0060】尚、具体例としては、一般にリード基材として用いられている板厚0.10mm、0.15mm、0.20mmの基材を例に挙げれば、板厚0.10mmの基材ではアウターリード部3b及び突起9の最小ピッチ $P_{1..}$ を0.10mm($P_{1..}=0.10mm$)、インナーリード部3aの最小ピッチ $P_{1..}$ を0.15mm($P_{1..}=0.05mm$)とすることができる。また、板厚0.15mmの基材ではアウターリード部3b及び突起9の最小ピッチ $P_{1..}$ を0.15mm($P_{1..}=0.15mm$)、インナーリード部3aの最小ピッチ $P_{1..}$ を0.075mm($P_{1..}=0.075mm$)とすることができる。更に、板厚0.20mmの基材ではアウターリード部3b及び突起9の最小ピッチ $P_{1..}$ を0.20mm($P_{1..}=0.20mm$)、インナーリード部3aの最小ピッチ $P_{1..}$ を0.10mm($P_{1..}=0.10mm$)とすることができる。

【0061】一方、突起9の形成位置に注目すると、突起9の形成位置は図6に示されるマスク13の配設位置により決められる。即ち、この図6に示されるマスク1の配設位置を適宜変更することにより、突起9の形成位置を任意設定することが可能となる。このため、本実施例に係るリード形成方法では、外部接続端子となる突起9の形成位置を自由度をもって設定することができ、予め定められている標準外部接続端子位置に突起を容易に形成することが可能となる。

ム20を形成するには、先ず図10に示されるような第1の基材21と、図11に示されるような第2の基材22を用意する。

【0063】この各基材21、22は、重ね合わせることで突起9の所定高さ寸法 W となるよう板厚が選定されており、本実施例では各基材21、22の板厚寸法は共に $W/2$ に設定されている。尚、各基材21、22の板厚はこれに限定されるものではなく、重ね合わせることで突起9の所定高さ寸法 W となる条件の基に各基材21、22で板厚を異ならせた構成としてもよい。

【0064】図10に示される第1の基材21は、例えば42アロイ等のリードフレーム材料により形成されており、エッチング処理或いはプレス打ち抜き処理等を実施することにより、平面視した場合にリード3と同一形状のリードパターン23が形成された構成とされている。しかるに、第1実施例で説明したリード形成工程と異なり、この状態のリードパターン23には突起9は形成されておらず、よってリードパターン23は全体的にその板厚が $W/2$ とされている。尚、図中25で示すのは位置決め孔であり、リードパターン23の形成時に一括的に形成されるものである。

【0065】一方、図11に示される第2の基材22は、予め42アロイ等のリードフレーム材料に対しエッチング処理或いはプレス打ち抜き処理等を実施することにより、突起パターン24が形成された構成とされている。この突起パターン24は直線状のパターン形状を有しており、所定の突起9の形成位置を模倣するよう構成されている。尚、図26は位置決め孔であり、突起パターン24の形成時に一括的に形成されるものである。

【0066】上記構成とされた第1の基材21及び第2の基材22は、位置決め孔25、26を用いて位置決めされつつ重ね合わされ接合される。この第1及び第2の基材21、22の接合は、導電性接着剤を用いて接着してもよく、また溶接により接合してもよい。図12は、第1の基材21と第2の基材22とが接合された状態を示している。

【0067】上記のように第1の基材21と第2の基材22とが接合された状態で、第2の基材22に形成されている突起パターン24は、第1の基材21に形成されているリードパターン23の所定突起形成位置の上部に重ね合わされるよう構成されている。

【0068】図13は、リードパターン23と突起パターン24とが重なり合った部位を拡大して示す平面図であり、また図14はリードパターン23と突起パターン24とが重なり合った部位を拡大して示す側面図である。各図から明らかなように、板厚寸法 $W/2$ のリードパターン23と、同じく板厚寸法 $W/2$ の突起パターン

【0069】上記のように第1の基材21と第2の基材22との接合処理が終了すると、残いて不要部分、具体的には突起パターン24のリードパターン23と交差した部分を除く部位をプレス加工等により除去することにより、図15に示すように突起9が一体的に形成されたリード3を有するリードフレーム20が形成される。

【0070】上記のように、本実施例により製造されたリードフレーム20も第1実施例で製造されたリードフレーム11と同様に、リード3はインナーリード部3a、アウターリード部3b及び突起9が一体的に形成された構成となる。また、図10に示すリードパターン23の形成時においては、第1の基材21の板厚は $W/2$ とされているため、先に説明した板厚とリードピッチの関係から明らかのように、狭ピッチのリードパターン23を形成することができる。

【0071】一方、突起9の形成位置に注目すると、突起9の形成位置は第2の基材22に形成される突起パターン24の形成位置により決められる。即ち、この突起パターン24の形成位置を適宜変更することにより、突起9の形成位置を任意設定することが可能となる。このため、本実施例に係るリード形成方法においても、外部接続端子となる突起9の形成位置を自由度をもって設定することができ、よって予め定められている標準外部接続端子位置に突起9を容易に形成することが可能となる。

【0072】上記のようにリード形成工程を実施することによりリードフレーム11、20（以下の説明では、リードフレーム11を用いた場合を例に挙げて説明する）が形成されると、続いてリードフレーム11と半導体チップ2を接合する接合工程が実施される。以下、図16乃至図20を用いて接合工程について説明する。

【0073】接合工程においては、先ず図16に示されるようにリードフレーム11のインナーリード部3a（換言すれば、後述する接合工程においてワイヤ8がボンディングされる部位）に金メッキを施すことにより、ボンディングパッド部27を形成する。

【0074】また、図17に示されるように、半導体チップ2の電極パッド6の形成された面には、この電極パッド6の形成部位のみが露出する構成でポリイミド膜7が配設される。このポリイミド膜7はガラス転移点が100〜300℃のものが選定されており、図17に示される状態では単に半導体チップ2に載置されただけの状態となっている。従って、ポリイミド膜7が脱落しないよう、半導体チップ2は電極パッド6の形成面が上部に位置するように配置されている。尚、半導体チップ2は樹脂封止は行われておらずヘアチップ状とされている。また、上記のポリイミド膜7は、半導体チップ2を形成す

設され半導体チップ2には、図18に示されるようにリードフレーム11が載置される。この際、リードフレーム11に形成されているリード3（インナーリード部3a）と、半導体チップ2に形成されている電極パッド6とが精度よく対向するよう、リードフレーム11は位置決めされる。

【0076】上記のようにリードフレーム11が半導体チップ2上の所定位置に載置されると、続いて図19に示されるように治具28が降下し、リードフレーム11を半導体チップ2に向け押圧する。また、この治具28は加熱装置を具備しており、治具28で発生する熱はリードフレーム11を介してポリイミド膜7に印加される。

【0077】上記ポリイミド膜7は、半導体チップ2とリードフレーム11とを電気的に絶縁する絶縁部材として従来より一般的に用いられているものであるが、本発明者はこのポリイミド膜7を所定の環境条件下に置くことにより接着剤として機能することを発見した。具体的には、ポリイミド膜7としてガラス転移点が100〜300℃のものを使用し、かつこのポリイミド膜7をガラス転移点+100〜200℃に加熱すると共に、 $1 \sim 10 \text{ kg/cm}^2$ の押圧力を印加することにより、ポリイミド膜7は接着剤として機能するようになる。

【0078】よって、本実施例では上記の点に注目し、半導体チップ2とリードフレーム11との接合時に、治具28に設けられているヒータによりポリイミド膜7をガラス転移点+100〜200℃に加熱すると共に、治具28の加工によりポリイミド膜7に $1 \sim 10 \text{ kg/cm}^2$ の押圧力を印加する構成としている。これにより、ポリイミド膜7は接着剤として機能するようになり、半導体チップ2とリードフレーム11とをポリイミド膜7を用いて接合することが可能となる。

【0079】上記構成とすることにより、従来では必要とされたポリイミド膜を半導体チップ2及びリードフレーム11と接合するための接着剤は不要となり、製品コストの低減及び半導体装置1の組み立て工数の低減を図ることができる。図20は、半導体チップ2とリードフレーム11とがポリイミド膜7により接合された状態を示している。

【0080】尚、半導体チップ2とリードフレーム11との接合は、ポリイミド膜7を用いて接合する方法に限定されるものではなく、従来のようにポリイミド膜の両面に接着剤を塗布しておき、この接着剤によりポリイミド膜を介在させた状態で半導体チップ2とリードフレーム11とを接合する方法を用いてもよい。この構成では、ポリイミド膜に対する温度制御及び押圧力制御が不要となり、接合工程を簡単に実施することができる。

ド 3 と半導体チップ 2 に形成されている電極パッド 6 とをワイヤ 8 で電氣的に接続する接続工程が実施される。

【0082】図 21 は、キャピラリ 29 を用いてワイヤ（例えば金ワイヤ）8 をリード 3 に形成されたボンディングパッド部 27（図 16 参照）と電極パッド 6 との間に配設する処理を示している。周知のように、半導体装置 1 の電氣的特性を向上させる面からはワイヤ 8 の長さは短い方がよく、また半導体装置 1 の小型化薄型化のためにはワイヤ 8 は低ループであることが望ましい。

【0083】このため、ワイヤ 8 を配設するのに低ループボンディング法を採用することが望ましい。低ループボンディング法も種々の方法が提案されているが、例えば先ず半導体チップ 2 に形成されている電極パッド 6 にワイヤ 8 をボンディングし、続いて垂直上方にキャピラリ 29 を移動させた後に水平方向に移動させてリード 3 にボンディングする、いわゆる逆打ち法を用いる構成としてもよい。

【0084】上記のように、リード 3 と電極パッド 6 とを電氣的に接続するのにワイヤボンディング法を用いることにより、容易かつ高速度に接続処理を行うことができる。また、リード 3 と電極パッド 6 との間におけるワイヤ 8 の引き回しも比較的自由度を持って行うことができる。尚、図 22 は、接続工程を実施することによりリード 3 と電極パッド 6 との間にワイヤ 8 が配設された状態を示している。

【0085】上記のように接続工程を実施することにより、電極パッド 6 とリード 3 とがワイヤ 8 により電氣的に接続されると、続いて半導体チップ 2 の所定部分に封止樹脂 4 を配設する封止樹脂配設工程が実施される。以下、図 23 乃至図 25 を用いて封止樹脂配設工程について説明する。

【0086】図 23 は、上記の各工程を実施することによりリードフレーム 11、ワイヤ 8 等が配設された半導体チップ 2 を金型 30 に装着した状態を示している。金型 30 は上型 31 と下型 32 とにより構成されており、リードフレーム 11 が上型 31 と下型 32 との間にクランプされることにより、半導体チップ 2 は金型 30 内に装着される。

【0087】上型 31 は、半導体チップ 2 が装着された状態で突起 9 及びリードフレーム 11 のクレドール 33 と当接する構成とされている。突起 9 の高さでクレドール 33 の高さは等しいため、よって上型 31 の形状は平板形状とされている。また、下型 32 は装着された半導体チップ 2 の側部に空間部を有したキャビティ形状を有しており、また半導体チップ 2 の図における底面はキャビティ 33 の底面と当接する構成とされている。

【0088】このように、封止樹脂配設工程で用いる上

装置 1 の製品コストの低減に寄与することができる。

【0089】図 24 は金型 30 に封止樹脂 4（製地で示す）を充填した状態を示している。金型 30 に封止樹脂 4 を充填することにより、半導体チップ 2 の下型 31 と当接した上面（図 23 乃至図 25 では下部に位置する）を除く外面は封止樹脂 4 により封止される。また、半導体チップ 2 の底面に配設されているリード 3 及びワイヤ 8 も封止樹脂 4 により封止された状態となる。また、突起 9 も上型 31 と当接している端部を除き封止樹脂 4 により封止された構成となる。

【0090】図 25 は、封止樹脂 4 が充填処理された半導体チップ 2 を金型 30 から離型した状態を示している。同図に示されるように、半導体チップ 2 の上面 2a は封止樹脂 4 より露出しており、よってこの上面 2a より半導体チップ 2 で発生する熱を効率よく放熱させることができる。また、突起 9 の端部 9a も封止樹脂 4 から外部に露出しており、従ってこの端部 9a を外部接続端子として用いることができる。

【0091】図 25 に示される状態において、図中一点鎖線で示す箇所でリードフレーム 11 を切断することにより半導体装置を構成しても、図 1 に示す半導体装置 1 と同様の効果を実現することができる。しかるに、図 25 に示す状態では、外部接続端子として機能する突起 9 の端部 9a が封止樹脂 4 の表面と略面一となっているため、実装基板 10 に対する実装性が不良である。このため、本実施例においては、封止樹脂配設工程が終了した後、端部 9a にバン部 5 を形成するバン形成工程を実施している。以下、バン形成工程を図 26 乃至図 30 を用いて説明する。

【0092】バン形成工程においては、先ず図 26 に示すように、封止樹脂 4 が配設された半導体チップ 2 の全面に対してホーニング処理を行い、残留する樹脂屑等を除去すると共に、突起 9 の端部 9a を確実に外部に露出させる。ホーニング処理が終了すると、続いて図 27 に示すように、封止樹脂 4 が配設された半導体チップ 2 を半田槽 34 に浸漬し、突起 9 の端部 9a に半田を用いて外装メッキを行う（半田組成を参照符号 35 で示す）。この外装メッキに用いる半田としては、例えば $Pb : Sn = 1 : 9$ の組成比を有する半田の適用が考えられる。図 28 は、上記の外装メッキにより突起 9 の端部 9a に半田膜 35 が形成された状態を示している。

【0093】上記のように外装メッキ処理が終了すると、続いて半田膜 35 が形成された突起 9 の端部 9a にバン部 5 が形成される。このバン部 5 の形成方法としては種々の方法を採用することができ、例えば効率よくかつ容易にバン部 5 を形成しうる転写バンパ方法を用いて形成してもよい。図 29 は、バン部 5 が突起 9 の端部 9

リードフレーム 11 の切断処理が行われ、これにより、図 30 に示される半導体装置 1 が形成される。尚、このリードフレーム 11 の切断処理に先立ち、切断処理を容易にするためにリードフレーム 11 の切断箇所にはハーフエッチング処理を行ってもよい。

【0095】上記のように製造された半導体装置 1 に対しては、続いて通正に作動するかどうかを試験する試験工程が実施される。図 31 及び図 33 は、夫々異なる半導体装置 1 の試験方法を示している。図 31 に示される試験方法では、パンプ 5 を装着しうる構成とされたソケット 36 を用い、このソケット 36 に半導体装置 1 を装

着することによりバーイン等の試験を行うものである。【0096】また、図 32 に示される試験方法は、プローブ 37 を用いて半導体装置 1 の試験を行う方法である。半導体装置 1 は、封止樹脂 4 の側部位置にリード 3 の端部が封止樹脂 4 から露出した構成とされている。本試験方法では、これを利用して封止樹脂 4 から露出したリード 3 にプローブ 37 を接触させて試験を行う構成とされている。よって、本試験方法を採用することにより、半導体装置 1 を実装基板 10 に実装した後において

も試験を行うことが可能となる。【0097】図 33 は、半導体装置 1 を実装基板 10 に実装する実装工程を示している。半導体装置 1 を実装基板 10 に実装する方法としては、周知の種々の方法を採用することが可能である。例えば、赤外線リフロー方法を用い、半導体装置 1 に設けられているパンプ 5 を実装基板 10 に形成されている電極部 38 にペースト等を用いて仮止めし、その上で赤外線リフロー炉においてパンプ 5 を溶融させることによりパンプ 5 と電極部 38 とを接合する方法を用いてもよい。

【0098】続いて、上記した半導体装置の製造方法の実形例について以下説明する。図 34 乃至図 37 は、夫々突起 9 の実形例を示している。図 34 (A)、(B) に示される突起 9 A は、その形状を円柱状とした構成である。また、図 37 (C) に示される突起 9 B は、その形状を角柱状とした構成である。このように、突起 9、9 A、9 B の平面形状は種々選定できるものであり、パンプ 5 の接合性及び実装基板 10 に形成されている電極部 38 の形状等に応じて任意に形状を選定することが可能である。具体的には、例えばエッチング法により突起 9、9 A、9 B を形成する場合には、図 6 に示す突起形成位置 14 に配設するマスク 13 の形状を適宜選定することにより突起 9、9 A、9 B の平面形状を容易に所望する形状とすることができ、

【0099】また、図 35 (A) に示される突起 9 C のように上面に湾曲状凹部を形成した構成としてもよく、図 35 (B) に示される突起 9 D のように上面中央部に

E によれば、突起表面における面積を大きくすることができパンプ 5 との接合性の向上を図ることができる。尚、上記の突起 9 C ~ 9 E は、リード 3 の所定突起形成位置に、導電性接着剤等を用いて固定された構成とされている。

【0100】また図 35 (D) に示すのは、リード 3 をプレス加工等により直接塑性変形させることにより突起 9 F を形成したものである。このようにプレス加工等の塑性加工を用いて突起 9 F を形成することにより、極めて容易に突起 9 F を形成することができる。しかるに、この形成方法では、突起 9 F の高さは塑性加工限界値を上廻し、それ以上の高さに設定することはできないという問題点も有する。

【0101】また、図 36 に示すのは、突起 9 G を形成するのにワイヤボンディング技術を用い、スタッドパンプ 42 の突起部位置に形成することにより突起 9 G としたことを特徴とするものである。図 36 (A) は突起 9 G の形成方法を示しており、また図 36 (B) は突起 9 G を拡大して示している。

【0102】上記のように、突起 9 G をワイヤボンディング技術を用いスタッドパンプで形成することにより、任意の位置に突起 9 G を形成することが可能となり、外部接続端子となる突起 9 G を所定位置に容易に形成することができる。また、突起 9 G の形成は、半導体装置の製造工程の内、接続工程においてワイヤ 8 の配設時に一括的に形成することが可能となり、製造工程の簡略化を図ることができる。

【0103】また、突起 9 G の高さはスタッドパンプを複数積み重ねて配設することにより任意に設定することができる。図 37 (A) に示される突起 9 H は、スタッドパンプを 3 個積み重ねることにより図 36 (B) に示される 1 個のスタッドパンプにより突起 9 G を形成した構成に比べて高さを高くしたものである。

【0104】また突起の高さを高くする他の方法として、図 37 (B) に示されるように予めリード 3 にブロック状の導電性部材 41 を導電性接着剤等により固定しておき、この導電性部材 41 の上部に図 37 (C) に示されるようにスタッドパンプ 42 を形成し、積層された導電性部材 41 とスタッドパンプ 42 とが協働して突起 9 I を形成する構成としてもよい。この構成の場合、突起 9 I の高さは導電性部材 41 の高さにより決められることとなるが、ブロック状の導電性部材 41 は種々の大きさのものが提供されており、よって突起 9 I の高さを任意に設定することができる。

【0105】図 38 は、接合工程の実形例を示している。上記した実施例では、図 16 乃至図 20 に示したように半導体チップ 2 とリードフレーム 11 とを所定条件

ム 1 1 とを接合する構成としてもよい。

【0106】また、テープ状接着剤 4 5 の配設位置は、半導体チップ 2 の上面だけではなく、図 3 8 に示されるようリードフレーム 1 1 の下面にも設けてもよく、またリードフレーム 1 1 の下面のみに設けた構成としてもよい。更に、テープ状接着剤 4 5 の配設範囲は、電極パッド 6 の形成位置を除く図中矢印 X で示す範囲であれば、自由に設定することができる。尚、テープ状接着剤 4 5 は、半導体チップ 2 とリードフレーム 1 1 とを電氣的に絶縁する必要があるため、絶縁性接着剤である必要がある。

【0107】図 3 9 乃至図 4 2 は、接続工程の変形例を示している。上記した実施例では、図 2 1 及び図 2 2 に示されるように電極パッド 6 とリード 3 とを接続するのにワイヤ 8 を用いた構成を示したが、図 3 9 乃至図 4 2 に示す変形例では電極パッド 6 とリード 3 とを直接接続するダイレクトリードボンディング (DLB) 方法を用いたことを特徴としている。

【0108】図 3 9 及び図 4 0 に示す例では、リード 3 を例えば超音波振動子に接続された接合治具 4 6 を用いて直接的に電極パッド 6 に接合する構成とされている。しかるに、この構成では超音波振動する接合治具 4 6 により、電極パッド 6 にダメージが発生するおそれがある。

【0109】そこで図 4 1 及び図 4 2 に示す例では、予め電極パッド 6 にスタッドパンプ 4 7 を配設しておき、このスタッドパンプ 4 7 にリード 3 を当接させた上で加熱治具 4 8 を用いてスタッドパンプ 4 7 を加熱溶融し電極パッド 6 とリード 3 とを接続する構成とされている。この接続方法によれば、電極パッド 6 が損傷するおそれなく、接続工程の信頼性を向上させることができる。

【0110】また、図 3 9 乃至図 4 2 に示した接続工程によれば、ワイヤ 8 を用いて電極パッド 6 とリード 3 とを接続する構成に比べて電気抵抗を低減できるため、半導体装置 1 の電気特性を向上させることができ、高速の半導体チップ 2 に対応することができる。

【0111】図 4 3 乃至図 4 4 は、封止樹脂配設工程の変形例を示している。上記した実施例では、図 2 3 及び図 2 4 に示されるように金型 3 0 を構成する下型 3 2 のキャビティ底面は半導体チップ 2 の上面 2 a と直接当接し、この上面 2 a には放熱特性を向上させる面から封止樹脂 4 が配設されない構成とされていた。

【0112】しかるに、半導体装置 1 が使用される環境が厳しい（例えば、多塵環境）時には放熱性よりも耐塵性等をより必要とする場合が生じ、このような場合には封止樹脂 4 により半導体チップ 2 を完全に封止する必要がある。図 4 3 及び図 4 4 に示す金型 5 0 は、半導体チップ 2 を封止樹脂 4 で完全に封止する構成とされている。

キャビティ 5 2 が、図 4 3 に示されるように半導体チップ 2 の外周面から離間しており、よって図 4 4 に示されるように封止樹脂 4 を金型に充填した状態で半導体チップ 2 は完全に封止樹脂 4 に封止された構成となる。このように、半導体チップ 2 に対する封止樹脂 4 の配設位置は、金型 3 0、5 0 に形成されるキャビティ 3 3、5 2 の形状を適宜変更することにより任意に設定することができる。

【0114】また、上型 3 1 にリード 3 に形成された突起 9 を装着する凹部を形成しておくことにより、図 4 5 に示されるような突起 9 が封止樹脂 4 から大きく突出した構成の半導体装置 6 0 を形成することも可能である。図 4 5 に示す半導体装置 6 0 は、突起 9 が封止樹脂 4 から大きく突出しているため実装基板 1 0 に対する実装性は良好であり、よって前記した実施例に係る半導体装置 1 のようにパンプ 5 を設ける必要はなく、半導体装置 6 0 の製造工程の簡単化を図ることができる。

【0115】

【発明の効果】上述の如く本発明によれば、下記の種々の効果を実現することができる。請求項 1 及び請求項 2 記載の発明によれば、半導体チップは封止樹脂により封止されるため、耐熱性、機械的強度及び耐湿性を向上させることができる。また、電極パッドとリードとの間で配線を引き回すことができるため、リードのレイアウトを電極パッドのレイアウトに拘わらず設定することが可能となり、実装基板とのマッチング性を向上させることができる。また、封止樹脂は引き回された配線を確実に保護するためこれによっても信頼性を向上させることができ、また外部接続端子は封止樹脂から露出しているため実装基板との電氣的接続を確実に行うことができる。

【0116】また、請求項 3 記載の発明によれば、通常半導体チップとリードとの絶縁材として配設されるポリイミド膜を接着剤として用いているため、半導体チップとリードの絶縁と接合を一括的に行うことができ、よって絶縁材と接着剤とを別個に配設する構成に比べて構造の簡単化及び製造の容易化を図ることができる。

【0117】また、請求項 4 記載の発明によれば、突起をリードと一体的に形成したことにより、突起とリードを別個の材料により構成する場合に比べて構造の簡単化を図ることができる。また、請求項 5 記載の発明によれば、配線としてワイヤを用いたことにより、前記した電極パッドとリードの間における配線の引き回しを容易に行うことができる。

【0118】また、請求項 6 記載の発明によれば、突起にパンプを形成したことにより、突起を直接実装基板に実装する構成に比べて、半導体装置の実装基板への接続を容易に行うことができる。また、請求項 7 記載の発明によれば、接合手段においてポリイミド膜を所定用途に

構成としているため、リードと半導体チップとの絶縁と接合を一括的に行うことができる。

【0119】また、接合工程では半導体チップに形成されている電極パッドと前記リードとを配線を引き回し接続するため、この引き回しを適宜設定することにより、電極パッドのレイアウトに対してリードのレイアウトを変更することが可能となる。また、半導体装置はリード形成工程、接合工程、接続工程及び封止樹脂配設工程の4工程のみで製造される。このように少ない工程で半導体装置が製造されるため、生産効率を向上させることができる。

【0120】また、請求項8記載の発明によれば、ポリイミド膜に印加する温度等を所定範囲内に制御することなく接合処理を行うことができるため、接合処理を容易に行うことができる。また、請求項8記載の発明によれば、接続工程で、電極パッドとリードとをダイレクトリードボンディング法を用いて電氣的に接続するため、簡単に確実に電極パッドとリードとの接続処理を行うことができる。

【0121】また、請求項10及び請求項11記載の発明によれば、アウターリード部のリードピッチに対してインナーリード部のリードピッチが小さく設定されているため、インナーリード部が電氣的に接続される半導体チップの電極パッドの配設ピッチが小さくてもこれに対応させることができ、かつ実装基板と電氣的に接続されるアウターリード部のリードピッチは大きいため、実装基板への実装性を向上させることができる。また、突起がアウターリード部に形成されることにより、この突起を外側接続端子として用いることができ、これによっても実装性を向上させることができる。

【0122】また、請求項12及び請求項13記載の発明によれば、突起が一体的に形成された狭ピッチのリードを容易に形成することができる。また、請求項14記載の発明によれば、リードパターンを形成するリードパターン形成工程と、突起を形成する突起形成工程とを別個に行うことにより、基材の厚さを突起の高さに拘わらず選定することができ、よって薄い基材を用いることによりリードパターンの狭ピッチ化を図ることができる。また、突起形成工程においては、任意の高さを有する突起を形成することが可能となり、設計の自由度を向上させることができる。

【0123】更に、請求項15乃至17記載の発明によれば、突起形成工程において突起の形成を容易に行うことができる。

【図面の簡単な説明】

【図1】本発明の一実施例である半導体装置を示す断面図である。

【図2】本発明の一実施例である半導体装置を示す底面図である。

【図3】本発明の一実施例である半導体装置を示す底面図である。

【図4】本発明の一実施例である半導体装置の變形例を示す底面図である。

【図5】本発明に係るリードフレームの製造方法の第1実施例を説明するための図であり、基材を示す図である。

【図6】本発明に係るリードフレームの製造方法の第1実施例を説明するための図であり、所定位置にマスクを配設した状態を示す図である。

【図7】本発明に係るリードフレームの製造方法の第1実施例を説明するための図であり、第1のエッチング工程が終了した状態を示す図である。

【図8】本発明に係るリードフレームの製造方法の第1実施例を説明するための図であり、所定位置にマスクを配設した状態を示す図である。

【図9】本発明に係るリードフレームの製造方法の第1実施例を説明するための図であり、完成したリードフレームを示す図である。

【図10】本発明に係るリードフレームの製造方法の第2実施例を説明するための図であり、第1の基材を示す図である。

【図11】本発明に係るリードフレームの製造方法の第2実施例を説明するための図であり、第2の基材を示す図である。

【図12】本発明に係るリードフレームの製造方法の第2実施例を説明するための図であり、第1の基材と第2の基材を接合した状態を示す図である。

【図13】リードパターンと突起パターンとが重なり合った部位を拡大して示す平面図である。

【図14】リードパターンと突起パターンとが重なり合った部位を拡大して示す側面図である。

【図15】本発明に係るリードフレームの製造方法の第2実施例を説明するための図であり、完成したリードフレームを示す図である。

【図16】本発明に係る半導体装置の製造工程の接合工程を説明するための図であり、ボンディングパッド部の形成を説明するための図である。

【図17】本発明に係る半導体装置の製造工程の接合工程を説明するための図であり、半導体チップにポリイミド膜を配設する処理を説明するための図である。

【図18】本発明に係る半導体装置の製造工程の接合工程を説明するための図であり、半導体チップにリードフレームを配設する処理を説明するための図である。

【図19】本発明に係る半導体装置の製造工程の接合工程を説明するための図であり、ポリイミド膜を接着剤として機能させて半導体チップとリードフレームとを接合する処理を説明するための図である。

示す図である。

【図21】本発明に係る半導体装置の製造工程の接続工程を説明するための図であり、キャピラリを用いてワイヤの配線処理を行っている状態を示す図である。

【図22】本発明に係る半導体装置の製造工程の接続工程を説明するための図であり、電極パッドとリードとの間にワイヤが配設された状態を示す図である。

【図23】本発明に係る半導体装置の製造工程の封止樹脂配設工程を説明するための図であり、半導体チップが金型に装着された状態を説明するための図である。

【図24】本発明に係る半導体装置の製造工程の封止樹脂配設工程を説明するための図であり、金型に封止樹脂が充填された状態を説明するための図である。

【図25】本発明に係る半導体装置の製造工程の封止樹脂配設工程を説明するための図であり、樹脂封止された半導体チップが金型から離型された状態を説明するための図である。

【図26】本発明に係る半導体装置の製造工程のパンパ形成工程を説明するための図であり、ホーニング処理を実施している状態を示す図である。

【図27】本発明に係る半導体装置の製造工程のパンパ形成工程を説明するための図であり、外装メッキ処理を実施している状態を示す図である。

【図28】本発明に係る半導体装置の製造工程のパンパ形成工程を説明するための図であり、外装メッキ処理が終了した状態を示す図である。

【図29】本発明に係る半導体装置の製造工程のパンパ形成工程を説明するための図であり、パンパを形成した状態を示す図である。

【図30】本発明に係る半導体装置の製造工程のパンパ形成工程を説明するための図であり、完成した半導体装置を示す図である。

【図31】本発明に係る半導体装置の試験工程を説明するための図であり、ソケットを用いて試験を行う方法を示す図である。

【図32】本発明に係る半導体装置の試験工程を説明するための図であり、プローブを用いて試験を行う方法を示す図である。

【図33】半導体装置を実装基板に実装する実装工程を説明するための図である。

【図34】突起の平面形状を異ならせた変形性を示す図である。

【図35】突起の断面形状を異ならせた変形性を示す図である。

【図36】スタッドパンパにより突起を形成する構成を説明するための図である。

【図37】スタッドパンパにより突起を形成する構成の

【図39】接続構成の変形例を示す図であり、電極パッドに直接リードを接続する方法を説明するための図である。

【図40】接続構成の変形例を示す図であり、電極パッドに直接リードが接続された状態を示す図である。

【図41】接続構成の変形例を示す図であり、電極パッドにリードをスタッドパンパを介して接続する方法を説明するための図である。

【図42】接続構成の変形例を示す図であり、電極パッドにリードをスタッドパンパを介して接続した状態を示す図である。

【図43】封止樹脂配設工程の変形例を説明するための図であり、金型に半導体チップが装着された状態を示す図である。

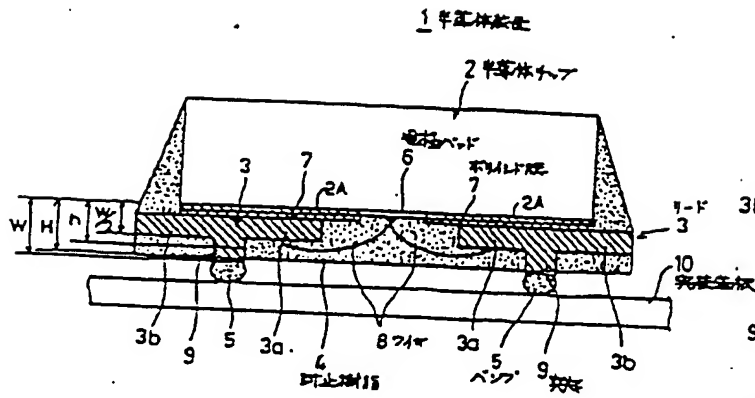
【図44】封止樹脂配設工程の変形例を説明するための図であり、金型に封止樹脂が充填された状態を示す図である。

【図45】突起が封止樹脂より大きく突出した構成の半導体装置を示す図である。

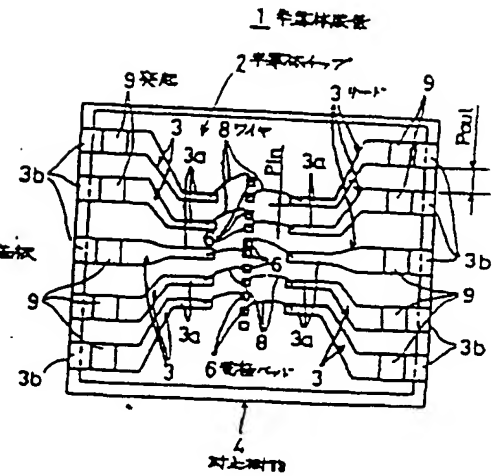
10 (符号の説明)

1. 60 半導体装置
- 2 半導体チップ
- 3 リード
- 3 a インナーリード部
- 3 b アウターリード部
- 4 封止樹脂
- 5 パンパ
- 6 電極パッド
- 8 ワイヤ
9. 9 A ~ 9 I 突起
- 10 実装基板
11. 20 リードフレーム
- 12 基材
13. 17 マスク
- 21 第1の基材
- 22 第2の基材
- 23 リードパターン
- 24 突起パターン
- 28 治具
- 29 キャピラリ
30. 50 金型
- 31 上型
32. 51 下型
33. 52 キャビティ
- 34 半田槽
- 35 半田膜
- 41 導電性部材

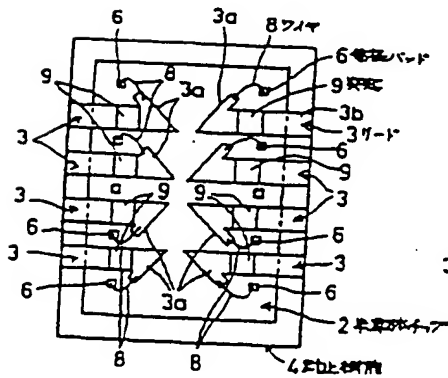
(1)



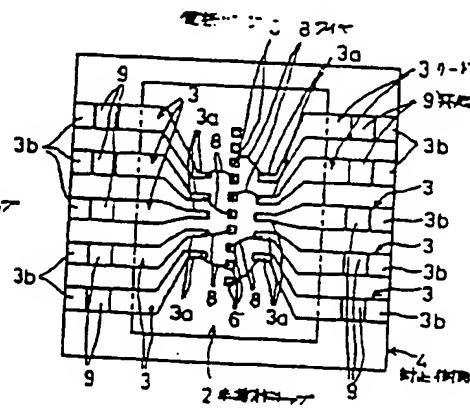
{ PY 2 }



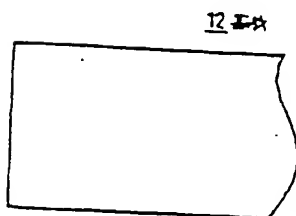
(23 3)



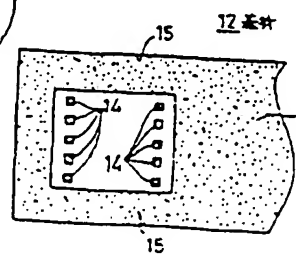
(4)



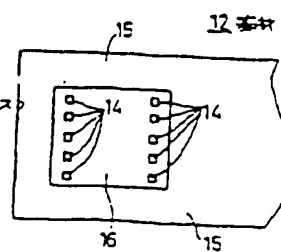
(5)



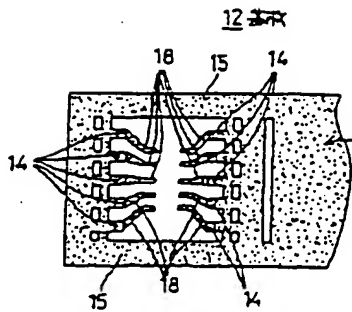
(6)



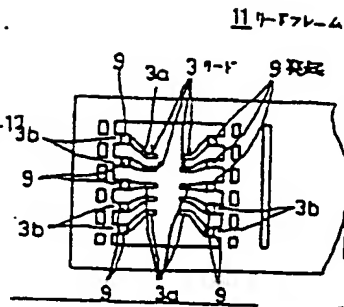
{ 7 }



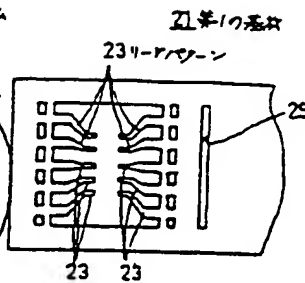
〔図 8〕



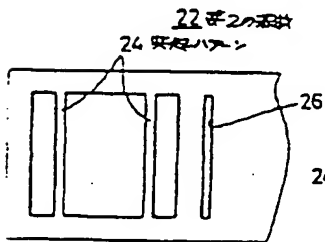
〔図 9〕



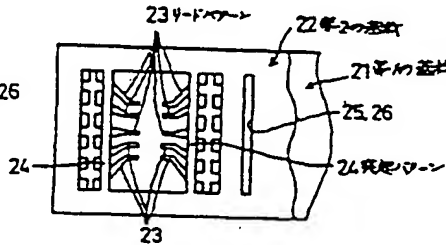
〔図 10〕



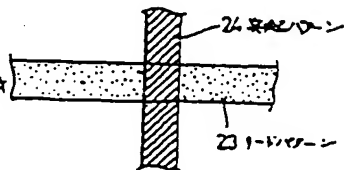
〔図 11〕



〔図 12〕

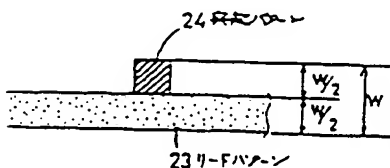


〔図 13〕

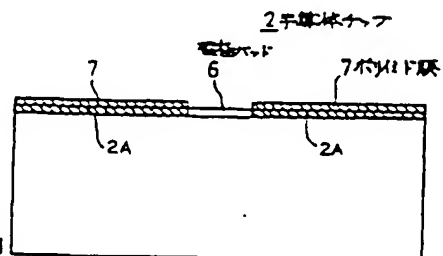
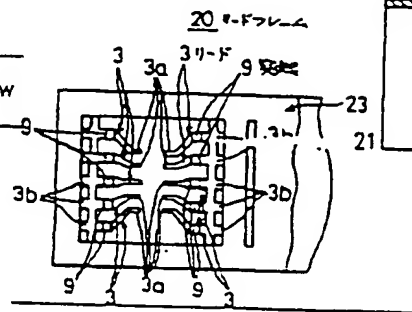


〔図 17〕

〔図 14〕

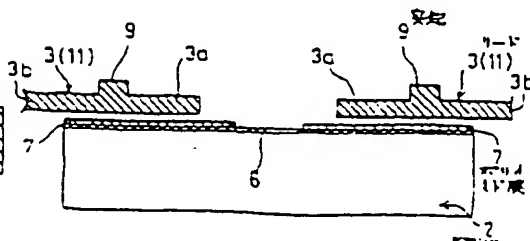
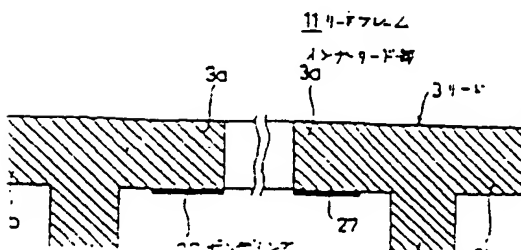


〔図 15〕

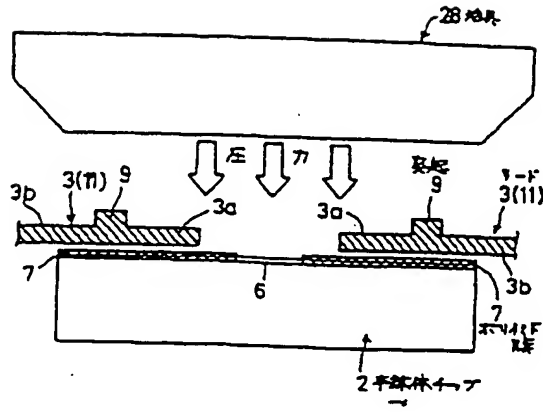


〔図 16〕

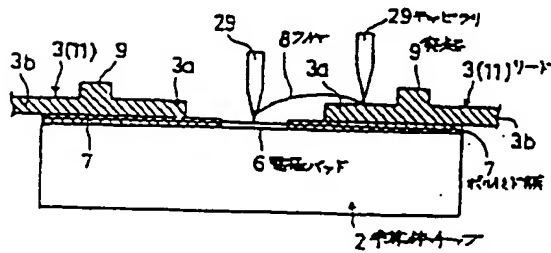
〔図 18〕



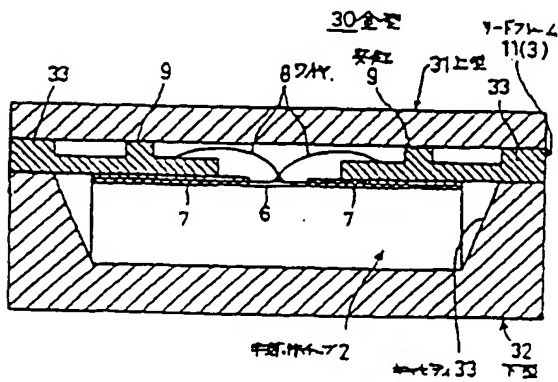
〔図 19〕



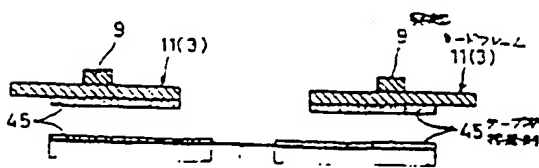
〔図 21〕



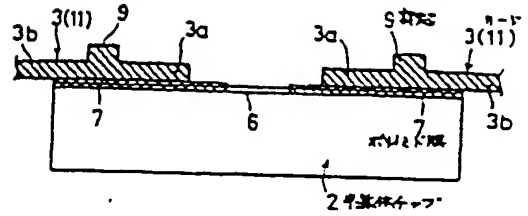
〔図 23〕



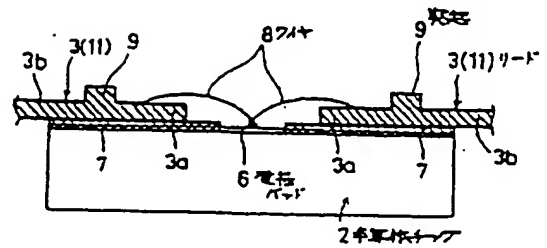
〔図 38〕



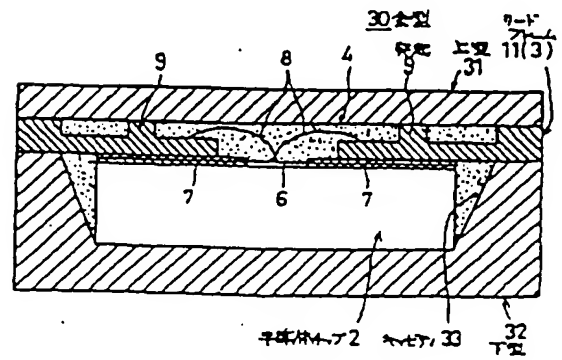
〔図 20〕



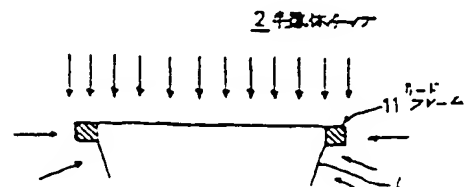
〔図 22〕



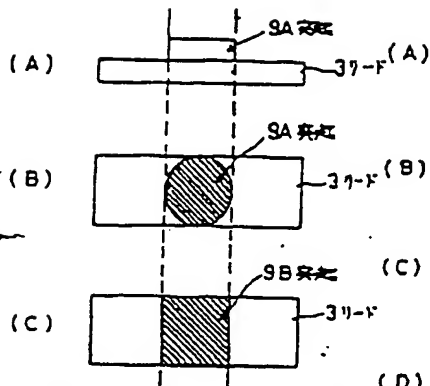
〔図 24〕



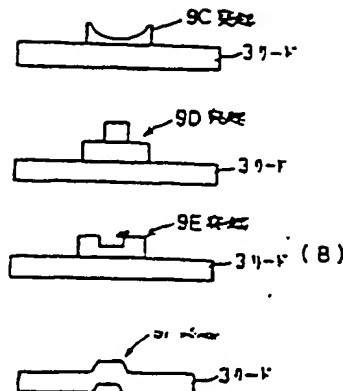
〔図 26〕



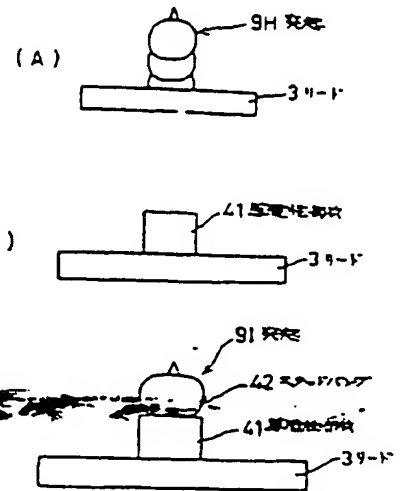
〔図 3 4〕



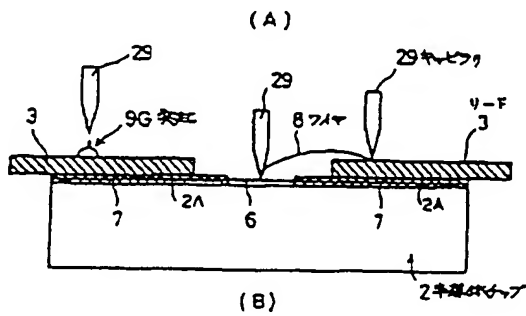
〔図 3 5〕



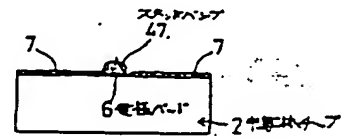
〔図 3 7〕



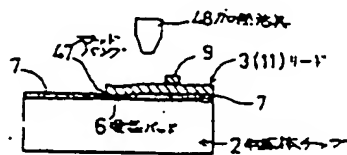
〔図 3 6〕



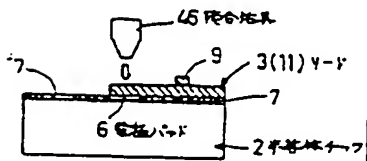
〔図 4 1〕



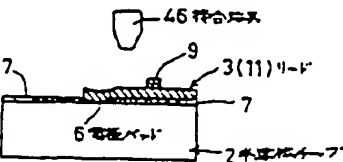
〔図 4 2〕



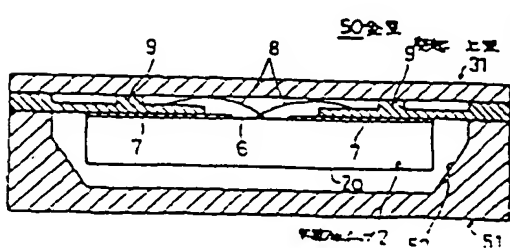
〔図 3 9〕



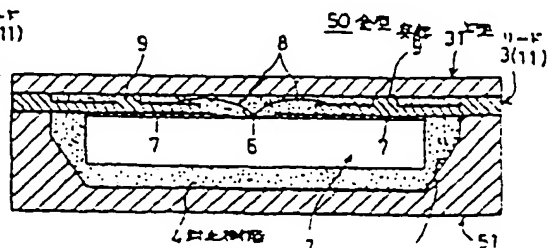
〔図 4 0〕



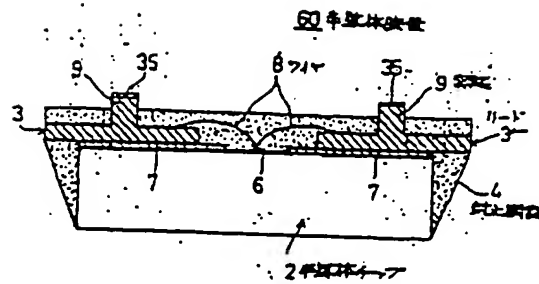
〔図 4 3〕



〔図 4 4〕



【図 4 5】



フロントページの続き

- (72) 発明者 宇野 正
 神奈川県川崎市中原区上小田中 1015 番地
 富士通株式会社内
- (72) 発明者 藤沢 哲也
 神奈川県川崎市中原区上小田中 1015 番地
 富士通株式会社内
- (72) 発明者 脇 政樹
 鹿児島県薩摩郡入来町副田 5950 番地
 株式会社九州富士通エレクトロニクス内

JAPANESE PATENT LAID-OPEN PUBLICATION NO. HEISEI 8-306853

[TITLE OF THE INVENTION]

SEMICONDUCTOR DEVICE, FABRICATION METHOD THEREOF,

5

AND FABRICATION METHOD FOR LEAD FRAME

[CLAIMS]

1. A semiconductor device including a semiconductor chip
provided with electrode pads formed to have a first pitch, leads
10 electrically connected to the electrode pads by a wiring,
respectively, and a resin encapsulate for encapsulating the
semiconductor chip, wherein:

protrusions are formed on the leads, respectively, in
such a fashion that they have a second pitch different from the
15 first pitch; and

the resin encapsulate is arranged to encapsulate the
wiring connected between the electrode pads and the leads while
allowing the protrusions to be exposed.

20 2. A semiconductor device including a semiconductor chip
provided with electrode pads formed to have a first pitch, leads
electrically connected to the electrode pads by a wiring,
respectively, and a resin encapsulate for encapsulating the
semiconductor chip, wherein:

25 protrusions are formed on the leads, respectively, in

such a fashion that they have a second pitch different from the first pitch; and

the resin encapsulate has a thickness from a surface of the semiconductor chip formed with the electrode pads not more
5 than a height from the semiconductor chip surface to each protrusion, but not less than the height from the semiconductor chip surface to the wiring.

3. The semiconductor device according to claim 1 or 2,
10 wherein the semiconductor chip and the leads are bonded together by an adhesive comprised of a polyimide film.

4. The semiconductor device according to any one of claims 1 to 3, wherein each of the protrusions is formed in such
15 a fashion that it is integrally with an associated one of the leads.

5. The semiconductor device according to any one of claims 1 to 4, wherein the wiring comprises wires.
20

6. The semiconductor device according to any one of claims 1 to 5, wherein each of the protrusions is formed with a bump.

25 7. A method for fabricating a semiconductor device

comprising the steps of:

forming leads each provided with a protrusion at a region where an outer connecting terminal is to be formed;

5 arranging a polyimide film on at least one of the leads and the semiconductor chip, pressing the leads and the semiconductor chip by a desired pressure while interposing the polyimide film between the leads and the semiconductor chip, and heating the polyimide film to a desired temperature to allow the polyimide film to serve as an adhesive, thereby bonding the leads and the semiconductor chip together;

10 connecting the electrode pads formed on the semiconductor chip to the leads by a wiring, respectively, thereby electrically connecting the electrode pads and the leads together; and

15 forming a resin encapsulate adapted to partially or completely encapsulating the wiring and the semiconductor chip while allowing each of the protrusions to be exposed at a tip surface thereof.

20 8. The method according to claim 7, wherein a thermoplastic adhesive is applied to both surfaces of the polyimide film when the leads and the semiconductor chip are bonded together by the polyimide film at the bonding step.

25 9. The method according to claim 7 or 8, wherein the

electrode pads and the leads are electrically connected together using a direct lead bonding process at the connecting step.

5 10. A lead frame provided with a plurality of leads each having an inner lead portion and an outer lead portion, wherein the inner lead portion have a lead pitch less than a lead pitch of the outer lead portions, and each of the outer lead portion has a protrusion integrally formed therewith.

10 11. The lead frame according to claim 10, wherein the lead pitch (P_{out}) of the outer lead portions is substantially equal to the thickness (W) of each lead at a region where the protrusion is formed, and the lead pitch (P_{in}) of the inner lead portions corresponds to about half the lead pitch (P_{out}) of the
15 outer lead portions ($P_{in} = P_{out}/2$).

12. A method for fabricating a lead frame according to claim 10 or 11, comprising:

20 a primary etching step for conducting a half-etching process for a blank while using a mask arranged on the blank at the protrusion forming region; and

a secondary etching step for conducting a half-etching process for the blank while using a mask arranged on the blank at the lead forming region.
25

13. A method for fabricating a lead frame according to claim 10 or 11, comprising the steps of:

preparing a first blank and a second blank respectively having thicknesses selected in such a fashion that they have a total thickness corresponding to the height of the protrusions when they are overlapped with each other;

forming a lead pattern having a planar shape corresponding to the shape of the leads on the first blank;

forming a protrusion pattern on the second blank in such a fashion that the protrusion pattern is arranged at the protrusion forming region;

overlapping the first blank formed with the lead pattern and the second blank formed with the protrusion pattern together, and bonding the first and second blanks to each other in such a fashion that the lead pattern and the protrusion pattern are overlapped with each other at the protrusion forming region; and

removing unnecessary portions of the first and second blanks.

14. A method for fabricating a lead frame according to claim 10 or 11 comprising the steps of:

forming a lead pattern having a planar shape corresponding to a shape of the leads on a blank; and

forming the protrusions at a desired region on the lead

pattern after completion of the lead pattern forming step.

15. The method according to claim 14, wherein the
protrusion forming step is achieved by overlapping one or more
5 bumps on the lead pattern at a desired region to form the
protrusion.

16. The method according to claim 14, wherein the
protrusion forming step is achieved by arranging a conductive
10 member on the lead pattern at a desired region to form the
protrusion.

17. The method according to claim 14, wherein the
protrusion forming step is achieved by subjecting a desired
15 portion of the lead pattern to a plastic shaping process to form
the protrusion.

[DETAILED DESCRIPTION OF THE INVENTION]

[FIELD OF THE INVENTION]

20 The present invention relates to a semiconductor device,
a method for fabricating the semiconductor device, and a method
for fabricating a lead frame used in the semiconductor device.
In particular, the present invention relates to a semiconductor
device having a structure encapsulating a semiconductor chip and
25 leads by resin, a method for fabricating the semiconductor

device, and a method for fabricating a lead frame used in the semiconductor device.

5 The recent trend of electronic appliances to be down-sized has resulted in efforts to achieve an increased density and increased mounting efficiency of semiconductor devices. It is also expected to obtain an improvement in the reliability of electronic appliances. In addition, there is demand for an improvement in the reliability of semiconductor devices. Furthermore, it is expected for semiconductor devices to achieve
10 a reduction in costs.

Accordingly, developments of semiconductor devices capable of satisfying the above mentioned demands are strongly required.

15 [DESCRIPTION OF THE PRIOR ART]

Recently, a flip chip type mounting structure has been proposed as a scheme capable of achieving a high-density mounting. Such a flip chip type mounting structure is widely used in multi chip modules (MCMs). In accordance with the flip
20 chip mounting scheme applied to MCMs, no resin encapsulate is formed. Instead, bumps are formed on electrode pads of a semiconductor chip (bare chip), respectively. In this case, mounting of the bare chip is achieved by bonding the bare chip to electrode portions formed on a circuit board (mother board)
25 in a face down bonding fashion.

In accordance with the use of the flip chip type mounting structure, it is possible to mount semiconductor devices on a mother board at a high density. An improvement in electrical characteristics is also achieved because the semiconductor devices are electrically connected to the mother board by means of bumps directly formed on the bare chips of the semiconductor devices.

[SUBJECT MATTERS TO BE SOLVED BY THE INVENTION]

However, the bare chips not encapsulated by resin involve problems in that they exhibit a degradation in heat resistance, mechanical strength, and temperature resistance. Furthermore, since bumps are directly formed on electrode pads formed on each bare chip, the layout of the electrode pads formed on the bare chip is rendered to be the layout of outer connecting terminals (bumps) as it is.

Generally, semiconductor chips have different layouts of electrode pads thereof in accordance with the manufacturers thereof. Accordingly, even for semiconductor devices having the same function, the user should design a wiring pattern of the mother board to match the kind of those semiconductor devices (manufacturer). In the conventional mounting structure using bare chips, there are problems of a degradation in the matching ability of semiconductor devices to the mother board and an increased burden to the user because no standardization for

outer electrode terminals of semiconductor devices is made.

In order to solve the above mentioned problems, the standardization may probably be made by processing the surface of a chip and forming a wiring on the processed chip surface.

5 However, this scheme requires a number of processes with a high accuracy to form a desired wiring. Furthermore, there are problems of an increase in costs and a degradation in the efficiency of production.

10 The present invention has been made in view of the above mentioned problems, and an object of the invention is to provide a semiconductor device, a method for fabricating the semiconductor device, and a method for fabricating a lead frame used in the semiconductor device, which are capable of achieving a standardization of outer electrode terminals to keep the
15 reliability of a semiconductor chip used, a reduction in costs, and an improvement in the efficiency of production.

[MEANS FOR SOLVING THE SUBJECT MATTERS]

20 The above subject matters can be solved by the following means.

The invention of claim 1 is characterized by a semiconductor device including a semiconductor chip provided with electrode pads formed to have a first pitch, leads electrically connected to the electrode pads by a wiring,
25 respectively, and a resin encapsulate for encapsulating the

semiconductor chip, wherein: protrusions are formed on the leads, respectively, in such a fashion that they have a second pitch different from the first pitch; and the resin encapsulate is arranged to encapsulate the wiring connected between the electrode pads and the leads while allowing the protrusions to be exposed.

The invention of claim 2 is characterized by a semiconductor device including a semiconductor chip provided with electrode pads formed to have a first pitch, leads electrically connected to the electrode pads by a wiring, respectively, and a resin encapsulate for encapsulating the semiconductor chip, wherein: protrusions are formed on the leads, respectively, in such a fashion that they have a second pitch different from the first pitch; and the resin encapsulate has a thickness from a surface of the semiconductor chip formed with the electrode pads not more than a height from the semiconductor chip surface to each protrusion, but not less than the height from the semiconductor chip surface to the wiring.

The invention of claim 3 is characterized by the semiconductor device according to claim 1 or 2, wherein the semiconductor chip and the leads are bonded together by an adhesive comprised of a polyimide film.

The invention of claim 4 is characterized by the semiconductor device according to any one of claims 1 to 3, wherein each of the protrusions is formed in such a fashion that

it is integrally with an associated one of the leads. The invention of claim 5 is characterized by the semiconductor device according to any one of claims 1 to 4, wherein the wiring comprises wires.

5 The invention of claim 6 is characterized by the semiconductor device according to any one of claims 1 to 5, wherein each of the protrusions is formed with a bump. The invention of claim 4 is characterized by a method for fabricating a semiconductor device comprising the steps of:

10 forming leads each provided with a protrusion at a region where an outer connecting terminal is to be formed; arranging a polyimide film on at least one of the leads and the semiconductor chip, pressing the leads and the semiconductor chip by a desired pressure while interposing the polyimide film

15 between the leads and the semiconductor chip, and heating the polyimide film to a desired temperature to allow the polyimide film to serve as an adhesive, thereby bonding the leads and the semiconductor chip together; connecting the electrode pads formed on the semiconductor chip to the leads by a wiring,

20 respectively, thereby electrically connecting the electrode pads and the leads together; and forming a resin encapsulate adapted to partially or completely encapsulating the wiring and the semiconductor chip while allowing each of the protrusions to be exposed at a tip surface thereof.

25 The invention of claim 8 is characterized by the method

according to claim 7, wherein a thermoplastic adhesive is applied to both surfaces of the polyimide film when the leads and the semiconductor chip are bonded together by the polyimide film at the bonding step.

5 The invention of claim 9 is characterized by the method according to claim 7 or 8, wherein the electrode pads and the leads are electrically connected together using a direct lead bonding process at the connecting step.

10 The invention of claim 10 is characterized by a lead frame provided with a plurality of leads each having an inner lead portion and an outer lead portion, wherein the inner lead portion have a lead pitch less than a lead pitch of the outer lead portions, and each of the outer lead portion has a protrusion integrally formed therewith.

15 The invention of claim 11 is characterized by the lead frame according to claim 10, wherein the lead pitch (P_{out}) of the outer lead portions is substantially equal to the thickness (W) of each lead at a region where the protrusion is formed, and the lead pitch (P_{in}) of the inner lead portions corresponds to about half the lead pitch (P_{out}) of the outer lead portions ($P_{in} = P_{out}/2$). The invention of claim 12 is characterized by a method for fabricating a lead frame according to claim 10 or 11, comprising: a primary etching step for conducting a half-etching process for a blank while using a mask arranged on the blank at
20
25 the protrusion forming region; and a secondary etching step for

conducting a half-etching process for the blank while using a mask arranged on the blank at the lead forming region.

The invention of claim 13 is characterized by a method for fabricating a lead frame according to claim 10 or 11, comprising the steps of: preparing a first blank and a second blank respectively having thicknesses selected in such a fashion that they have a total thickness corresponding to the height of the protrusions when they are overlapped with each other; forming a lead pattern having a planar shape corresponding to the shape of the leads on the first blank; forming a protrusion pattern on the second blank in such a fashion that the protrusion pattern is arranged at the protrusion forming region; overlapping the first blank formed with the lead pattern and the second blank formed with the protrusion pattern together, and bonding the first and second blanks to each other in such a fashion that the lead pattern and the protrusion pattern are overlapped with each other at the protrusion forming region; and removing unnecessary portions of the first and second blanks.

The invention of claim 14 is characterized by a method for fabricating a lead frame according to claim 10 or 11 comprising the steps of: forming a lead pattern having a planar shape corresponding to a shape of the leads on a blank; and forming the protrusions at a desired region on the lead pattern after completion of the lead pattern forming step.

The invention of claim 15 is characterized by the method

according to claim 14, wherein the protrusion forming step is achieved by overlapping one or more bumps on the lead pattern at a desired region to form the protrusion.

5 The invention of claim 16 is characterized by the method according to claim 14, wherein the protrusion forming step is achieved by arranging a conductive member on the lead pattern at a desired region to form the protrusion.

10 The invention of claim 17 is characterized by the method according to claim 14, wherein the protrusion forming step is achieved by subjecting a desired portion of the lead pattern to a plastic shaping process to form the protrusion.

[FUNCTIONS]

Each of the above mentioned means serves as follows.

15 In accordance with the invention of claims 1 and 2, it is possible to achieve an improvement in heat resistance, mechanical strength, and temperature resistance. Since the electrode pads and leads are connected together using wires, it is possible to set the layout of the leads irrespective of the
20 layout of the electrode pads. An improvement in the matching ability of the semiconductor device to the circuit board. The resin encapsulate provides an improvement in reliability because it surely protects the connected wires. Since the outer
25 connecting terminals are exposed from the resin encapsulate, the electrical connection of the semiconductor device to the circuit

board can be surely provided.

In accordance with the invention of claim 3, the insulating and bonding processes for the semiconductor chip and leads can be simultaneously conducted because the polyimide film, as an insulating member, interposed between the semiconductor chip and the leads serves as an adhesive. Accordingly, it is possible to simplify the structure of the semiconductor device while achieving an easy fabrication of the semiconductor device, as compared to the case in which the insulating member and the adhesive are separately provided.

In accordance with the invention of claim 4, each protrusion is integrally formed with an associated one of the leads. Accordingly, it is possible to achieve a simplification in structure, as compared to the case in which the protrusion and lead are formed using separate materials, respectively. In accordance with the invention of claim 5, a wire is used for the connection between the electrode pad and lead. Accordingly, it is possible to achieve an easy connection for the wire between the electrode pad and lead.

In accordance with the invention of claim 6, a bump is formed on each protrusion. Accordingly, it is possible to achieve an easy connection of the semiconductor device to the circuit board, as compared to the case in which the protrusion is directly mounted on the circuit board. In accordance with the invention of claim 7, the leads and semiconductor chip are

bonded together by maintaining the polyimide film at a certain temperature and a certain pressure, thereby causing the polyimide film to serve as an adhesive. Accordingly, the insulating and bonding processes for the leads and semiconductor chip can be simultaneously conducted.

Since each electrode pad formed on the semiconductor chip is connected to an associated one of the leads by means of a wire in the bonding process, it is possible to vary the layout of the leads with respect to the layout of the electrode pads by selecting an appropriate connection method. The fabrication of the semiconductor device involves only four processes, that is, a lead forming process, a bonding process, a connecting process, and a resin encapsulating process. Since the fabrication of semiconductor device is achieved using a reduced number of processes, as mentioned above, an improvement in production efficiency is obtained.

In accordance with the invention of claim 8, an easy bonding process can be achieved because the bonding process can be conducted without a control for the temperature applied to the polyimide film within a desired range.

In accordance with the invention of claim 9, the connection between the electrode pads and the leads can be simply and surely achieved because the electrode pads and leads are electrically connected together in accordance with a direct lead bonding process. In accordance with the invention of claim

10 and 11, the lead pitch of the outer lead portions is less than the lead pitch of the inner lead portions. Accordingly, the inner leads can cope with a small pitch of the electrode pads on the semiconductor chip to which the inner lead portions are electrically connected. Furthermore, the mounting efficiency of the semiconductor device to the circuit board is improved because the lead pitch of the outer lead portions electrically connected to the circuit board is large. Since each protrusion is formed on an associated one of the outer lead portions, it can be used as an outer connecting terminal. Accordingly, it further improves the mounting efficiency.

In accordance with the invention of claim 12, it is possible to form leads each integrally formed with a protrusion by conducting a primary etching process for the blank in accordance with a half-etching method in such a fashion that the blank has a reduced thickness at its portion except for the region to be formed with the protrusions and then conducting a secondary etching process for the thickness-reduced portion of the blank to form the leads.

The pitch of the leads is determined by the thickness of the blank upon forming the leads. In other words, it is only possible to form leads having a pitch substantially equal to the thickness of the blank. Accordingly, a reduced lead pitch can be obtained when the blank has a reduced thickness.

Meanwhile, where leads provided with protrusions are

formed, the thickness of the blank is determined by the height of the protrusions. It is impossible to form leads having a small pitch by simply etching the blank having a thickness equal to the height of the protrusions. In accordance with the present invention, however, it is possible to form leads having a small pitch, even when the leads have a structure provided with protrusions, by conducting a primary etching process for the blank in accordance with a half-etching method in such a fashion that the blank has a reduced thickness at its portion except for the region to be formed with the protrusions, and then conducting a secondary etching process for the thickness-reduced portion of the blank to form the leads. As apparent from the above description, the pitch of the protrusions can be reduced to a pitch substantially equal to the thickness of the blank.

In accordance with the invention of claim 13, the first and second blanks have thicknesses respectively selected in such a fashion that they have a total thickness corresponding to the height of the protrusions when they are overlapped with each other. For this reason, each of the first and second blanks has a thickness less than the height of the protrusions. In the lead pattern forming step, a lead pattern having the same shape as the whole shape of the leads is formed on the thin first blank. Accordingly, it is possible to reduce the lead pitch of the lead pattern formed in accordance with the above mentioned

relation between the blank thickness and lead pitch.

In the protrusion pattern forming step, a protrusion pattern is formed on the second blank in such a fashion that it is arranged at the protrusion forming region. In the bonding
5 step, the first and second blanks are bonded together in a state in which they are overlapped with each other. The lead pattern and protrusion pattern are overlapped with each other at the protrusion forming region. The blank thickness at the protrusion forming region corresponds to a desired height of the
10 protrusions. At the removing step, unnecessary portions of the blanks are removed, thereby forming leads.

Accordingly, a reduction in lead pitch is achieved because the thickness of the blank used in the formation of the lead pattern is small. On the other hand, since the lead
15 pattern and protrusion pattern are overlapped with each other at the protrusion forming region, it is possible to form protrusions having a desired thickness. In accordance with the invention of claim 14, the lead pattern forming step and the protrusion forming step are conducted in a separate fashion.
20 Accordingly, the thickness of a blank used can be selected irrespective of the height of the protrusion. Therefore, it is possible to reduce the pitch of a lead pattern when a thin blank is used. In the protrusion forming process, it is possible to form protrusions having an optional height. An improvement in
25 the freedom of design is also achieved.